

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-216467
(P2002-216467A)

(43)公開日 平成14年8月2日(2002.8.2)

(51)Int.Cl.⁷ 識別記号
G 1 1 C 11/15
11/14
H 0 1 L 27/105
27/10 4 7 1
43/08

F I テーマコード* (参考)
G 1 1 C 11/15 5 F 0 8 3
11/14 A
H 0 1 L 27/10 4 7 1
43/08 A
27/10 4 4 7

審査請求 未請求 請求項の数25 O L (全 22 頁)

(21)出願番号 特願2001-7946(P2001-7946)

(22)出願日 平成13年1月16日(2001.1.16)

(71)出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72)発明者 杉林 直彦

東京都港区芝五丁目7番1号 日本電気株
式会社内

(72)発明者 崎村 昇

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74)代理人 100065385

弁理士 山下 穰平

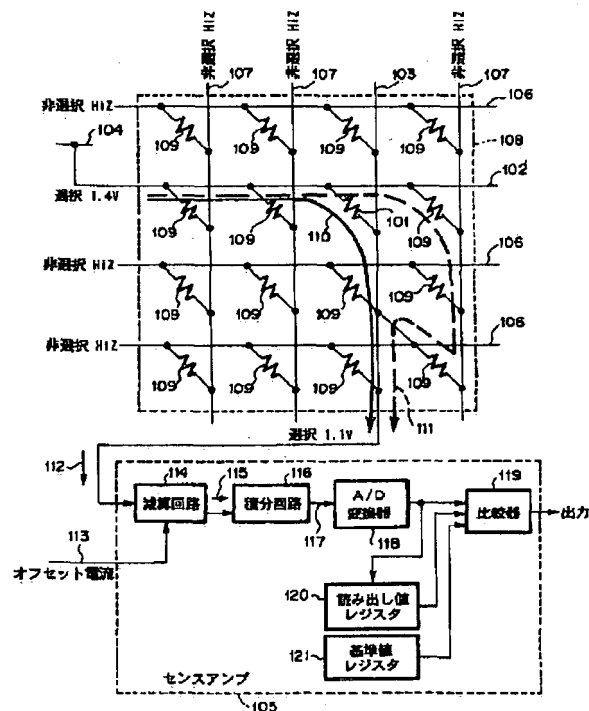
最終頁に続く

(54)【発明の名称】 トンネル磁気抵抗素子を利用した半導体記憶装置

(57)【要約】

【課題】 接地ノイズによるノイズ電流がセンスアンプの入力部に流れず、低コストなMRAMを提供する。

【解決手段】 複数のワード線と複数のビット線と複数のトンネル磁気抵抗素子を備える複数のセルアレイと、読出時に、読出セルが接続されるワード線である読み出しワード線を第1の電位の電圧源に接続する手段と、読出時に、読出セルが接続されるビット線である読み出しビット線を第1の電位とは異なる第2の電位を入力電位として有するセンスアンプの入力に接続する手段と、読出時に、読出セルが属するセルアレイのワード線であって読み出しワード線以外のものをフローティング状態にする手段と、読出時に、読出セルが属するセルアレイのビット線であって読み出しビット線以外のものをフローティング状態にする手段と、を備える。



1

【特許請求の範囲】

【請求項1】 複数のワード線と、各々が前記複数のワード線と交差する複数のビット線と、各々が前記複数のワード線と前記複数のビット線の交点の各々において各ワード線と各ビット線との間に接続される複数のトンネル磁気抵抗素子を備える複数のセルアレイと、読み出し時に、読み出しの対象となるトンネル磁気抵抗素子が接続されるワード線である読み出しワード線を第1の電位の電圧源に接続する手段と、読み出し時に、前記読み出しの対象となるトンネル磁気抵抗素子が接続されるビット線である読み出しビット線を前記第1の電位とは異なる第2の電位を入力電位として有するセンスアンプの入力に接続する手段と、読み出し時に、前記読み出しの対象となるトンネル磁気抵抗素子が属するセルアレイのワード線であって前記読み出しワード線以外のものをフローティング状態にする手段と、読み出し時に、前記読み出しの対象となるトンネル磁気抵抗素子が属するセルアレイのビット線であって前記読み出しビット線以外のものをフローティング状態にする手段と、を備えることを特徴とするトンネル磁気抵抗素子を利用した半導体記憶装置。

【請求項2】 請求項1に記載のトンネル磁気抵抗素子を利用した半導体記憶装置において、読み出し時に、前記センスアンプに流入又は前記センスアンプから流出する電流からオフセット電流を差し引く減算回路を更に備えることを特徴とするトンネル磁気抵抗素子を利用した半導体記憶装置。

【請求項3】 請求項2に記載のトンネル磁気抵抗素子を利用した半導体記憶装置において、前記オフセット電流は、前記読み出しの対象となるトンネル磁気抵抗素子が属する第1のセルアレイとは異なる第2のセルアレイで生成されることを特徴とするトンネル磁気抵抗素子を利用した半導体記憶装置。

【請求項4】 請求項3に記載のトンネル磁気抵抗素子を利用した半導体記憶装置において、前記第2のセルアレイは、前記オフセット電流を生成するために設けられた専用のセルアレイであることを特徴とするトンネル磁気抵抗素子を利用した半導体記憶装置。

【請求項5】 請求項4に記載のトンネル磁気抵抗素子を利用した半導体記憶装置において、前記第2のセルアレイにおいて、0が書き込まれているトンネル磁気抵抗素子及び1が書き込まれているトンネル磁気抵抗素子が市松模様状に並ぶことを特徴とするトンネル磁気抵抗素子を利用した半導体記憶装置。

【請求項6】 請求項4に記載のトンネル磁気抵抗素子を利用した半導体記憶装置において、前記第2のセルアレイにおいて、0が書き込まれている

2

トンネル磁気抵抗素子と1が書き込まれているトンネル磁気抵抗素子がストライプ状に並ぶことを特徴とするトンネル磁気抵抗素子を利用した半導体記憶装置。

【請求項7】 請求項4に記載のトンネル磁気抵抗素子を利用した半導体記憶装置において、前記第2のセルアレイにおいて、0が書き込まれているトンネル磁気抵抗素子の数と1が書き込まれているトンネル磁気抵抗素子の数の差が1以下であることを特徴とするトンネル磁気抵抗素子を利用した半導体記憶装置。

【請求項8】 請求項3に記載のトンネル磁気抵抗素子を利用した半導体記憶装置において、前記第2のセルアレイは、データが読み書きされるトンネル磁気抵抗素子を含むセルアレイであることを特徴とするトンネル磁気抵抗素子を利用した半導体記憶装置。

【請求項9】 請求項8に記載のトンネル磁気抵抗素子を利用した半導体記憶装置において、前記第2のセルアレイはダミーワード線及びダミービット線を有し、

前記ダミーワード線を前記第1の電位の電圧源に接続し、前記ダミービット線を前記減算回路に接続し、前記第2のセルアレイのワード線であって前記ダミーワード線以外のものをフローティング状態にし、前記第2のセルアレイのビット線であって前記ダミービット線以外のものをフローティング状態にしたときに、該ダミービット線を流れる電流を前記オフセット電流として使用することを特徴とするトンネル磁気抵抗素子を利用した半導体記憶装置。

【請求項10】 請求項9に記載のトンネル磁気抵抗素子を利用した半導体記憶装置において、0が書き込まれ且つ前記ダミーワード線に接続されているトンネル磁気抵抗素子の数と、1が書き込まれ且つ前記ダミーワード線に接続されているトンネル磁気抵抗素子の数の差が1以下であることを特徴とするトンネル磁気抵抗素子を利用した半導体記憶装置。

【請求項11】 請求項9に記載のトンネル磁気抵抗素子を利用した半導体記憶装置において、0が書き込まれ且つ前記ダミービット線に接続されているトンネル磁気抵抗素子の数と、1が書き込まれ且つ前記ダミービット線に接続されているトンネル磁気抵抗素子の数の差が1以下であることを特徴とするトンネル磁気抵抗素子を利用した半導体記憶装置。

【請求項12】 請求項8に記載のトンネル磁気抵抗素子を利用した半導体記憶装置において、前記第2のセルアレイはダミーワード線を有し、前記ダミーワード線を前記第1の電位の電圧源に接続し、前記第2のセルアレイの任意のビット線を前記減算回路に接続し、前記第2のセルアレイのワード線であって前記ダミーワード線以外のものをフローティング状態にし、前記第2のセルアレイのビット線であって前記減算回路に接続されたビット線以外のものをフローティン

3

グ状態にしたときに、前記減算回路に接続されたビット線を流れる電流を前記オフセット電流として使用することを特徴とするトンネル磁気抵抗素子を利用した半導体記憶装置。

【請求項13】 請求項12に記載のトンネル磁気抵抗素子を利用した半導体記憶装置において、0が書き込まれ且つ前記ダミーワード線に接続されているトンネル磁気抵抗素子の数と、1が書き込まれ且つ前記ダミーワード線に接続されているトンネル磁気抵抗素子の数の差が1以下であることを特徴とするトンネル磁気抵抗素子を利用した半導体記憶装置。

【請求項14】 請求項8に記載のトンネル磁気抵抗素子を利用した半導体記憶装置において、前記第2のセルアレイはダミービット線を有し、前記第2のセルアレイの任意のワード線を前記第1の電位の電圧源に接続し、前記ダミービット線を前記減算回路に接続し、前記第2のセルアレイのワード線であって前記第1の電位の電源に接続されたワード線以外のものをフローティング状態にし、前記第2のセルアレイのビット線であって前記ダミービット線以外のものをフローティング状態にしたときに、前記ダミービット線を流れる電流を前記オフセット電流として使用することを特徴とするトンネル磁気抵抗素子を利用した半導体記憶装置。

【請求項15】 請求項14に記載のトンネル磁気抵抗素子を利用した半導体記憶装置において、0が書き込まれ且つ前記ダミービット線に接続されているトンネル磁気抵抗素子の数と、1が書き込まれ且つ前記ダミービット線に接続されているトンネル磁気抵抗素子の数の差が1以下であることを特徴とするトンネル磁気抵抗素子を利用した半導体記憶装置。

【請求項16】 請求項1に記載のトンネル磁気抵抗素子を利用した半導体記憶装置において、前記センスアンプに流入する又は前記センスアンプから流出する電流を積分する積分回路を備えることを特徴とするトンネル磁気抵抗素子を利用した半導体記憶装置。

【請求項17】 請求項1に記載のトンネル磁気抵抗素子を利用した半導体記憶装置において、自己レファレンス読み出し方法を行うための手段を備えることを特徴とするトンネル磁気抵抗素子を利用した半導体記憶装置。

【請求項18】 請求項1に記載のトンネル磁気抵抗素子を利用した半導体記憶装置において、読み出し前に、各ワード線と各ビット線が前記第1及び第2の電位とは異なる第3の電位になるようにプリチャージされていることを特徴とするトンネル磁気抵抗素子を利用した半導体記憶装置。

【請求項19】 請求項18に記載のトンネル磁気抵抗素子を利用した半導体記憶装置において、前記第1の電位をV1、前記第2の電位をV2、前記セ

4

ルアレイ当たりの前記ワード線の数m、前記セルアレイ当たりの前記ビット線の数nとしたときに、前記第3の電位は

$$(nV1 + mV2) / (m + n)$$

であることを特徴とするトンネル磁気抵抗素子を利用した半導体記憶装置。

【請求項20】 請求項1に記載のトンネル磁気抵抗素子を利用した半導体記憶装置において、書き込み時に、各ワード線及び各ビット線の電位を前記第1及び第2の電位とは異なる第3の電位にする手段を更に備えることを特徴とするトンネル磁気抵抗素子を利用した半導体記憶装置。

【請求項21】 請求項20に記載のトンネル磁気抵抗素子を利用した半導体記憶装置において、前記第1の電位をV1、前記第2の電位をV2、前記セルアレイ当たりの前記ワード線の数m、前記セルアレイ当たりの前記ビット線の数nとしたときに、前記第3の電位は

$$(nV1 + mV2) / (m + n)$$

であることを特徴とするトンネル磁気抵抗素子を利用した半導体記憶装置。

【請求項22】 請求項1に記載のトンネル磁気抵抗素子を利用した半導体記憶装置において、

1を書き込むときに書き込みの対象となるトンネル磁気抵抗素子に接続されるワード線を流れる電流の向きが、0を書き込むときに書き込みの対象となるトンネル磁気抵抗素子に接続される前記ワード線を流れる電流の向きの反対の向きであり、1を書き込むときに書き込みの対象となるトンネル磁気抵抗素子に接続されるビット線を流れる電流の向きが、0を書き込むときに書き込みの対象となるトンネル磁気抵抗素子に接続される前記ビット線を流れる電流の向きの反対の向きであることを特徴とするトンネル磁気抵抗素子を利用した半導体記憶装置。

【請求項23】 請求項1に記載のトンネル磁気抵抗素子を利用した半導体記憶装置において、ワード線又はビット線のセレクト及び終端回路を前記トンネル磁気抵抗素子と重ねて配置したことを特徴とするトンネル磁気抵抗素子を利用した半導体記憶装置。

【請求項24】 請求項1に記載のトンネル磁気抵抗素子を利用した半導体記憶装置において、センスアンプを複数のセルアレイで共有することを特徴とするトンネル磁気抵抗素子を利用した半導体記憶装置。

【請求項25】 請求項1に記載のトンネル磁気抵抗素子を利用した半導体記憶装置において、前記第1の電位の電圧源と前記センスアンプが相互に隣接して配置されることを特徴とするトンネル磁気抵抗素子を利用した半導体記憶装置。

【発明の詳細な説明】

【0001】

5

【発明の属する技術分野】本発明はトンネル磁気抵抗素子（以下、「TMR素子」又は「セル」という。）をメモリセルとして使う半導体記憶装置（以下、「MRAM」という。）に関する。

【0002】

【従来の技術】図20はTMR素子の原理を示した図である。TMR素子は、フリー磁性層901、トンネル絶縁膜902、ピン磁性体層903が積層されて形成される。フリー磁性体層901の磁化の向きによって、トンネル絶縁膜902を流れる電流の量が変化する。多い方の電流又は少ない方の電流に「1」が割り当てられ、他方の電流に「0」が割り当てられる。ピン磁性体層903の磁化の向きは製造時に固定されている。

【0003】図21、22を参照すると、選択セル913に書き込みを行うときには、選択ワード線911に電流911を、選択ビット線912に電流912を流す。この時、選択セル913には、矢印931で示す磁場がかけられ、選択ワード線921に接続されている選択セル913以外のセル914には、矢印932で示す磁場がかけられ、選択ビット線922に接続されている選択セル913以外のセル915には、矢印933で示す磁場がかけられる。一方、セルの磁性体としては、図22に示すような斜め方向に磁場をかけたときに磁化の向きが反転しやすいアステロイド特性を示す磁性体（例えば、NiFe）が使用される。菱形934は磁性体の磁化の向きが反転するために要する磁場の強さを示す。従って、選択セル913のみが所望の向きに磁化される。

【0004】図23は、米国特許第5640343号に公表されているMRAM（従来例1）の概念図である。

【0005】図23を参照すると、ダイオード941とTMR素子942が直列に接続されている。TMR素子942は、書き込まれているデータの値が「1」であるときの抵抗値と書き込まれているデータの値が「0」であるときの抵抗値が異なる可変抵抗なので、抵抗記号で示されている。

【0006】図23に示す様に、選択セル943のみにトンネル電流が流れる。この電流値とリファレンス電流を比較することにより、セルの磁化の方向、すなわちセルデータの値を判定する。

【0007】図24は、Applied Physics Letters Vol. 77 Num. 13 2000. 9. 25で公表されているMRAM（従来例2）の概念図である。従来例2のMRAMはダイオードを有さず、選択ワード線及び選択ビット線以外は接地されており、選択ワード線及び選択ビット線のみに電流を流すものである。

【0008】

【発明が解決しようとする課題】従来例1のMRAMでは、磁性体と直列にダイオードをつくり込まなければならないので、製造の工程数が多く、コストが高いという問題があった。

6

【0009】また、従来例1では、各ビット線及び各ワード線に2種類の電位を与える必要があり、従来例2では、各ワード線に2種類の電位を与える必要があり、このために、電位を切り替えるための選択スイッチが複雑になるという問題があった。

【0010】更に、従来例2では、非選択線がチップ内の接地線に固定されているので、このチップ内接地線のノイズが信号にのる問題があった。つまり、センスアンプの接地線と非選択線と接続している接地線との間に交流的なノイズ電圧があると、センスアンプに交流的なノイズ電流が流れてしまう。

【0011】本発明は、ダイオードをつくりこむために工程が複雑になったり、メモリセルの面積が大きくなることを回避できるために、チップサイズが小さくなり製造コストが下がったMRAMを提供することを目的とする。

【0012】また、本発明は、チップ内のセレクトアンプの面積が大きくなることを回避できるために、チップサイズを小さくなり製造コストが下がったMRAMを提供することを目的とする。

【0013】更に、本発明は、接地ノイズによるノイズ電流がセンスアンプの入力部に流れないために、読み出しエラーが発生することを回避できるMRAMを提供することを目的とする。

【0014】

【課題を解決するための手段】本発明によるトンネル磁気抵抗素子を利用した半導体記憶装置は、複数のワード線と、各々が前記複数のワード線と交差する複数のビット線と、各々が前記複数のワード線と前記複数のビット線の交点の各々において各ワード線と各ビット線との間に接続される複数のトンネル磁気抵抗素子を備える複数のセルアレイと、読み出し時に、読み出しの対象となるトンネル磁気抵抗素子が接続されるワード線である読み出しワード線を第1の電位の電圧源に接続する手段と、読み出し時に、前記読み出しの対象となるトンネル磁気抵抗素子が接続されるビット線である読み出しビット線を前記第1の電位とは異なる第2の電位を入力電位として有するセンスアンプの入力に接続する手段と、読み出し時に、前記読み出しの対象となるトンネル磁気抵抗素子が属するセルアレイのワード線であって前記読み出しワード線以外のものをフローティング状態にする手段と、読み出し時に、前記読み出しの対象となるトンネル磁気抵抗素子が属するセルアレイのビット線であって前記読み出しビット線以外のものをフローティング状態にする手段と、を備えることを特徴とする。

【0015】上記のトンネル磁気抵抗素子を利用した半導体記憶装置は、読み出し時に、前記センスアンプに流入又は前記センスアンプから流出する電流からオフセット電流を差し引く減算回路を更に備えていてもよい。

【0016】上記のトンネル磁気抵抗素子を利用した半

7

導体記憶装置において、前記オフセット電流は、前記読み出しの対象となるトンネル磁気抵抗素子が属する第1のセルアレイとは異なる第2のセルアレイで生成されてもよい。

【0017】上記のトンネル磁気抵抗素子を利用した半導体記憶装置において、前記第2のセルアレイは、前記オフセット電流を生成するために設けられた専用のセルアレイであってもよい。

【0018】上記のトンネル磁気抵抗素子を利用した半導体記憶装置において、前記第2のセルアレイにおいて、0が書き込まれているトンネル磁気抵抗素子及び1が書き込まれているトンネル磁気抵抗素子が市松模様状に並んでもよい。

【0019】上記のトンネル磁気抵抗素子を利用した半導体記憶装置において、前記第2のセルアレイにおいて、0が書き込まれているトンネル磁気抵抗素子と1が書き込まれているトンネル磁気抵抗素子がストライプ状に並んでもよい。

【0020】上記のトンネル磁気抵抗素子を利用した半導体記憶装置において、前記第2のセルアレイにおいて、0が書き込まれているトンネル磁気抵抗素子の数と1が書き込まれているトンネル磁気抵抗素子の数の差が1以下であってもよい。

【0021】上記のトンネル磁気抵抗素子を利用した半導体記憶装置において、前記第2のセルアレイは、データが読み書きされるトンネル磁気抵抗素子を含んでもよい。

【0022】上記のトンネル磁気抵抗素子を利用した半導体記憶装置において、前記第2のセルアレイはダミーワード線及びダミービット線を有し、前記ダミーワード線を前記第1の電位の電圧源に接続し、前記ダミービット線を前記減算回路に接続し、前記第2のセルアレイのワード線であって前記ダミーワード線以外のものをフローティング状態にし、前記第2のセルアレイのビット線であって前記ダミービット線以外のものをフローティング状態にしたときに、該ダミービット線を流れる電流を前記オフセット電流として使用してもよい。

【0023】上記のトンネル磁気抵抗素子を利用した半導体記憶装置において、0が書き込まれ且つ前記ダミーワード線に接続されているトンネル磁気抵抗素子の数と、1が書き込まれ且つ前記ダミーワード線に接続されているトンネル磁気抵抗素子の数の差が1以下であってもよい。

【0024】上記のトンネル磁気抵抗素子を利用した半導体記憶装置において、0が書き込まれ且つ前記ダミービット線に接続されているトンネル磁気抵抗素子の数と、1が書き込まれ且つ前記ダミービット線に接続されているトンネル磁気抵抗素子の数の差が1以下であってもよい。

【0025】上記のトンネル磁気抵抗素子を利用した半

8

導体記憶装置において、前記第2のセルアレイはダミーワード線を有し、前記ダミーワード線を前記第1の電位の電圧源に接続し、前記第2のセルアレイの任意のビット線を前記減算回路に接続し、前記第2のセルアレイのワード線であって前記ダミーワード線以外のものをフローティング状態にし、前記第2のセルアレイのビット線であって前記減算回路に接続されたビット線以外のものをフローティング状態にしたときに、前記減算回路に接続されたビット線を流れる電流を前記オフセット電流として使用してもよい。

【0026】上記のトンネル磁気抵抗素子を利用した半導体記憶装置において、0が書き込まれ且つ前記ダミーワード線に接続されているトンネル磁気抵抗素子の数と、1が書き込まれ且つ前記ダミーワード線に接続されているトンネル磁気抵抗素子の数の差が1以下であってもよい。

【0027】上記のトンネル磁気抵抗素子を利用した半導体記憶装置において、前記第2のセルアレイはダミービット線を有し、前記第2のセルアレイの任意のワード線を前記第1の電位の電圧源に接続し、前記ダミービット線を前記減算回路に接続し、前記第2のセルアレイのワード線であって前記第1の電位の電圧源に接続されたワード線以外のものをフローティング状態にし、前記第2のセルアレイのビット線であって前記ダミービット線以外のものをフローティング状態にしたときに、前記ダミービット線を流れる電流を前記オフセット電流として使用してもよい。

【0028】上記のトンネル磁気抵抗素子を利用した半導体記憶装置において、0が書き込まれ且つ前記ダミービット線に接続されているトンネル磁気抵抗素子の数と、1が書き込まれ且つ前記ダミービット線に接続されているトンネル磁気抵抗素子の数の差が1以下であってもよい。

【0029】上記のトンネル磁気抵抗素子を利用した半導体記憶装置は、前記センスアンプに流入する又は前記センスアンプから流出する電流を積分する積分回路を備えていてもよい。

【0030】上記のトンネル磁気抵抗素子を利用した半導体記憶装置は、自己レファレンス読み出し方法を行うための手段を備えていてもよい。

【0031】上記のトンネル磁気抵抗素子を利用した半導体記憶装置において、読み出し前に、各ワード線と各ビット線が前記第1及び第2の電位とは異なる第3の電位になるようにプリチャージされていてもよい。

【0032】上記のトンネル磁気抵抗素子を利用した半導体記憶装置において、前記第1の電位をV1、前記第2の電位をV2、前記セルアレイ当たりの前記ワード線の数をm、前記セルアレイ当たりの前記ビット線の数をnとしたときに、前記第3の電位は $(nV1 + mV2) / (m + n)$ であってもよい。

9

【0033】上記のトンネル磁気抵抗素子を利用した半導体記憶装置は、書き込み時に、各ワード線及び各ビット線の電位を前記第1及び第2の電位とは異なる第3の電位にする手段を更に備えていてもよい。

【0034】上記のトンネル磁気抵抗素子を利用した半導体記憶装置において、前記第1の電位をV1、前記第2の電位をV2、前記セルアレイ当たりの前記ワード線の数をm、前記セルアレイ当たりの前記ビット線の数をnとしたときに、前記第3の電位は $(nV1 + mV2) / (m + n)$ であってもよい。

【0035】上記のトンネル磁気抵抗素子を利用した半導体記憶装置において、1を書き込むときに書き込みの対象となるトンネル磁気抵抗素子に接続されるワード線を流れる電流の向きが、0を書き込むときに書き込みの対象となるトンネル磁気抵抗素子に接続される前記ワード線を流れる電流の向きの反対の向きであり、1を書き込むときに書き込みの対象となるトンネル磁気抵抗素子に接続されるビット線を流れる電流の向きが、0を書き込むときに書き込みの対象となるトンネル磁気抵抗素子に接続される前記ビット線を流れる電流の向きの反対の向きであってもよい。

【0036】上記のトンネル磁気抵抗素子を利用した半導体記憶装置において、ワード線又はビット線のセクタ及び終端回路を前記トンネル磁気抵抗素子と重ねて配置してもよい。

【0037】上記のトンネル磁気抵抗素子を利用した半導体記憶装置において、センスアンプを複数のセルアレイで共有してもよい。

【0038】上記のトンネル磁気抵抗素子を利用した半導体記憶装置において、前記第1の電位の電圧源と前記センスアンプが相互に隣接して配置してもよい。

【0039】

【発明の実施の形態】本発明の上記および他の目的、特徴および利点を明確にすべく、添付した図面を参照しながら、本発明の実施の形態を以下に詳述する。

【0040】本発明の実施形態によるMRAMの概念図を図1に示す。図1は、1つのセルアレイ及びセンスアンプを示したものである。本実施形態においては、選択セル101に接続された選択ワード線102を読み出し電源104に、選択セル101に接続された選択ビット線103をセンスアンプ105の入力に接続する。選択ビット線の電位はセンスアンプ105の入力回路によって規定される。図1の例では、読み出し電源104の電位は1.4Vであり、センスアンプの入力電位は1.1Vであり両者は異なる。選択ワード線102以外のワード線である非選択ワード線106及び選択ビット線以外のビット線である非選択ビット線107は、これらに接続されるスイッチをハイインピーダンス状態にすることにより、フローティング状態とする。

【0041】これにより、非選択ワード線106及び非

10

選択ビット線107はセルアレイ108の外部とは直接には繋がらず、非選択ワード線106及び非選択ビット線107にも電圧を与える従来例とは異なり、非選択ワード線106及び非選択ビット線107を介して外部からノイズが入ってくるのがなくなる。

【0042】ただし、TMR素子は、高抵抗ではあるが、電流を流す。したがって、選択セル101を流れる電流110に加えて非選択セル109を流れる電流（例えば111で示す電流）もセンスアンプ105に流入する。しかし、これらの非選択セル109を流れる電流のおよその値が予め分かっているため、センスアンプに流入する電流112からこれらの非選択セル109を流れる電流に相当するオフセット電流113を減算回路114により差し引く。電流112の値は例えば51μAであり、オフセット電流は例えば50μAである。

【0043】減算後の電流115は微小（例えば1μA）であるため、電流115を直接読まずに、電流115を積分回路116で積分し、積分により得られる蓄積電荷を示す信号117を検出する。積分回路116としては容量素子を用いるが、積分回路の入力においては電流112からオフセット電流113が予め引かれているため、この容量素子を小さくできる。また、センスアンプのA/D変換器118、比較器119、電流値レジスタ120、基準値レジスタ121で無効な上位ビットを設ける必要がなくなり、A/D変換器118、比較器119、電流値レジスタ120、基準値レジスタ121のダイナミックレンジのうちの殆どの部分を信号成分のダイナミックレンジに割り当てることができるので、検出のS/N比も上げることができる。

【0044】センスアンプ105で測定した電流値がメモリセル特性のバラツキに影響されることを考慮して、本実施形態では、減算、積分、A/D変換後の値を一旦読み出しレジスタ120に保存する。その後、選択セルに「0」を書込んだ後に、1回目と同様に減算、積分、A/D変換後の値を読み出し、比較器119において、1回目に読み出した値と2回目に読み出した値を比較する。メモリセルに書き込まれていた値は、これらの読み出した値の差が誤差範囲を超えていれば、「1」であり、この差が誤差範囲内であれば、「0」である。誤差範囲の大きさは、基準値レジスタ121に保存されている。このような方式は自己リファレンス読み出し方式と呼ばれる。これにより、メモリセルの特性のばらつきにより、メモリセルに書き込まれている値が「1」又は「0」であるかの判定が影響されることがなくなる。

【0045】自己リファレンス読み出し方式のアルゴリズムを図2を参照して説明する。

【0046】まず、データを読み出す（ステップS141）。次に、「0」を書き込み（ステップS142）、「0」を読み出す（ステップS143）。次に、データと「0」の差がしきい値以下であるか否かを検査し（ス

11

テップS144)、そうであれば、データは「0」であると判定し(ステップS145)、そうでなければ、データは「1」とであると判定する(ステップS146)。

【0047】本実施形態によるMRAMを図3のレイアウト図を参照して説明する。

【0048】セルアレイは、マトリクス状に並ぶ複数のセルアレイ151に分割される。各セルアレイ151に対して、Xセクタ152、X終端153、Yセクタ154、Y終端155が付加される。また、セルアレイ全体に対して、GWL(Global Word Line)セクタ156、書き込み電流源回路157、読み出し電圧源回路158、GBL(Global Bit Line)セクタ159、書き込み電流源回路160、センスアンプ105が付加される。

【0049】書き込み時には、書き込みの対象となるセル(以下、「書き込みセル」という。)162に接続されているワード線WL(以下「書き込みワード線」という。)がXセクタ152により選択され、書き込みセル162が属するセルアレイ151B(以下、「書き込みセルアレイ」という。)に接続されているグローバルワード線GWLがGWLセクタ156により選択され、GWLセクタ156が双方向書き込み電流源回路157と接続される。また、書き込みワード線WLがX終端回路153と接続される。従って、書き込みワード線WLには、双方向書き込み電流源回路157とX終端回路153の間を流れる電流が流れる。

【0050】また、書き込み時には、書き込みセルに接続されているビット線BL(以下、「書き込みビット線」という。)がYセクタ154により選択され、書き込みセルアレイ151Bに接続されているグローバルビット線GBLがGBLセクタ159により選択され、GBLセクタ159が双方向書き込み電流源回路160と接続される。また、書き込みビット線BLがY終端回路155と接続される。従って、書き込みビット線BLには、双方向書き込み電流源回路160とY終端回路155との間を流れる電流が流れる。

【0051】従って、書き込みワード線WLを流れる電流が発生する磁界と書き込みビット線BLを流れる電流が発生する磁界とを合成した磁界により、書き込みセル162にデータが書き込まれる。

【0052】書き込みの更に詳細な内容については後述する。

【0053】読み出し時には、読み出しの対象となるセル(以下、「読み出しセル」という。)162に接続されるワード線WL(以下、「読み出しワード線」という。)がXセクタ152により選択され、読み出しセル162が属するセルアレイ151B(以下、「読み出しセルアレイ」という。)に接続されているグローバルワード線GWLがGWLセクタ156により選択され、GWLセクタ156が読み出し電圧源回路158

12

と接続される。また、読み出しワード線WLはX終端回路153から切り離される。

【0054】また、読み出し時には、読み出しセルに接続されるビット線BL(以下、「読み出しビット線」という。)がYセクタ154により選択され、読み出しセルアレイ151Bに接続されているグローバルビット線GBLがGBLセクタ159により選択され、GBLセクタ159がセンスアンプ105と接続される。また、読み出しビット線BLはY終端回路155から切り離される。

【0055】更に、読み出しセルアレイに属するワード線であって、読み出しワード線以外のワード線をフローティング状態として、読み出しセルアレイに属するビット線であって、読み出しビット線以外のビット線をフローティング状態にする。

【0056】従って、読み出し電圧源回路158とセンスアンプ105の間をGWLセクタ156、グローバルワード線GWL、Xセクタ152、読み出しワード線WL、読み出しセル162、読み出しビット線BL、Yセクタ154、グローバルビット線GBL、GBLセクタ159を介して流れる電流を検出することによりデータが読み出される。

【0057】なお、図3において、ワード線WL、ビット線BLが途中で切れているのは、読み出し時に、読み出しワード線WLがX終端回路153から切り離され、読み出しビット線BLがY終端回路155から切り離されている様子を示すためである。書き込み時にXセクタ152とX終端回路153の間を書き込みワード線WLを介して電流が流れ、Yセクタ154とY終端回路155の間を書き込みビット線BLを介して電流が流れることを示すためには、書き込みワード線WL、書き込みビット線BLがセルアレイ151Bを貫くように示すべきであるが、図面の都合上省略した。

【0058】上記から明らかなように、ビット線およびワード線は階層化されている。また、読み出し電圧源回路158とセンスアンプを1つにすることができるので、MRAMの面積を縮小することが可能である。

【0059】また、従来例と異なり、読み出し時の検出電流に非選択ワード線又は非選択ビット線を介してノイズが乗ることがないので、読み出し電圧源回路158をセンスアンプ105の近くに配置し、読み出し電圧源回路158の接地ラインとセンスアンプ105の接地ラインの間及び読み出し電圧源回路158の電源ラインとセンスアンプ105の電源ラインの間にバイパスコンデンサをつければ、読み出し電圧源回路158とセンスアンプ105の間で電源ラインに乗るノイズとグランドラインに乗るノイズを共通化できるので、電源ノイズによる検出電流のS/Nの悪化を避けることができる。

【0060】読み出し時に、読み出しワード線を電圧源回路に接続し、読み出しビット線をセンスアンプに接続

13

し、読み出しセルアレイのワード線であって読み出しワード線以外のものをフローティング状態にして、読み出しセルアレイのビット線であって読み出しビット線以外のものをフローティング状態にするという読み出しセルアレイに関する接続条件を満たす必要がある。

【0061】同様に、読み出し時にオフセット電流を発生するために選択されたセルアレイ（以下「参照セルアレイ」という。オフセット電流を発生するために読み出しセルアレイ以外のセルアレイを使用することについては後述する。）に属する1のワード線（以下「参照ワード線」という。）を電圧源回路に接続し、参照セルアレイに属する1のビット線（以下「参照ビット線」という。）をセンスアンプに接続し、参照セルアレイに属するワード線であって参照ワード線以外のものをフローティング状態にして、参照セルアレイに属するビット線であって参照ビット線以外のものをフローティング状態にするという参照セルアレイに関する接続条件を満たす必要がある。

【0062】上記の2つの接続条件を満たす限りにおいて、できる限り多くのワード線及びビット線を第3の電位になるようにプリチャージすることが、後述するようにセンスアンプに流入する電流112とオフセット電流113を早期に収束値に安定化させるために望ましい。第3の電位については後述する。

【0063】この安定化のために、X終端回路153とY終端回路155は電圧源回路として機能する。書き込み時には、全てのセルアレイの全てのワード線（書き込みワード線を含む。）がX終端回路153と接続され、全てのセルアレイの全てのワード線の電位がX終端回路153により第3の電位に設定される。また、書き込み時には、全てのセルアレイの全てのビット線（書き込みビット線を含む。）がY終端回路155と接続され、全てのセルアレイの全てのビット線の電位がY終端回路155により第3の電位に設定される。

【0064】また、上記の安定化のために、読み出し時には、読み出しセルアレイ及び参照セルアレイを除いた全てのセルアレイの全てのワード線がX終端回路153と接続され、読み出しセルアレイ及び参照セルアレイを除いた全てのセルアレイの全てのワード線の電位がX終端回路153により第3の電位に設定される。また、読み出し時には、読み出しセルアレイ及び参照セルアレイを除いた全てのセルアレイの全てのビット線がY終端回路155と接続され、読み出しセルアレイと参照セルアレイ以外の全てのセルアレイの全てのビット線の電位がY終端回路155により第3の電位に設定される。

【0065】図4に、ビット線及びその周辺部の回路図を示す。

【0066】図4を参照すると、ARRSELXmはX方向セルアレイ選択信号線であり、TERMACTXmはX方向終端活性化信号線であり、Vterm-Yは終

14

端電圧線であり、YSWjはビット選択信号線であり、GBLnはグローバルビット線であり、WL iはワード線であり、BL jはビット線である。

【0067】X方向セルアレイ選択信号線ARRSELXmは、選択セルアレイ（書き込みセルアレイ、読み出しセルアレイ又は参照セルアレイの総称）を選択するための信号線であり、グローバルビット線GBLnをセルアレイ内共通ビット線171と接続するスイッチ172を制御する。終端電圧線Vterm-Yは、Y終端回路155に接続され、第3の電位を保持する。X方向終端活性化信号線TERMACTXmは、ビット線BL jの電位を第3の電位にするか否かを制御するための信号線であり、第3の電位を保持する終端電圧線Vterm-Yとビット線BL jを接続するスイッチ173を制御する。ビット選択信号線YSWjは、選択セルアレイ内においてビットを選択するための信号線であり、セルアレイ内共通ビット線171をビット線BL jと接続するスイッチ174を制御する。グローバルビット線GBLnは、選択セルアレイ内の選択されたビット線を双方向書き込み電流源回路160又はセンスアンプ105と接続するための線である。

【0068】図5に、ワード線及びその周辺部の回路図を示す。

【0069】図5を参照すると、ARRSELYnはY方向セルアレイ選択信号線であり、TERMACTYnはY方向終端活性化信号線であり、Vterm-Xは終端電圧線であり、XSWiはワード選択信号線であり、GWLmはグローバルワード線であり、WL iはワード線であり、BL jはビット線である。

【0070】Y方向セルアレイ選択信号線ARRSELYnは、選択セルアレイを選択するための信号線であり、グローバルワード線GWLmをセルアレイ内共通ワード線181と接続するスイッチ182を制御する。終端電圧線Vterm-Xは、X終端回路153に接続され、第3の電位を保持する。Y方向終端活性化信号線TERMACTYnは、ワード線WL iの電位を第3の電位にするか否かを制御するための信号線であり、第3の電位を保持する終端電圧線Vterm-Xとワード線WL iを接続するスイッチ183を制御する。ワード選択信号線XSWiは、選択セルアレイ内においてワードを選択するための信号線であり、セルアレイ内共通ビット線181をワード線WL iと接続するスイッチ184を制御する。グローバルワード線GWLmは、選択セルアレイ内の選択されたワード線を双方向書き込み電流源回路157又は読み出し電圧源回路158と接続するための線である。

【0071】読み出し時の動作を図6に示すタイミング図を参照して説明する。なお、図4、5に示すどのスイッチもn型FETであり、ゲート電圧がHIGHであるときに導通状態となる。

15

【0072】読み出し時には、読み出しセルアレイに係るX方向終端活性化信号線TERMACTX_mはLOW、読み出しセルアレイに係るY方向終端活性化信号線TERMACTY_nはLOW、読み出しワード線に係るワード選択信号線XSW_iはHIGH、読み出しビット線に係るビット選択信号線YSW_jはHIGH、読み出しセルアレイに係るX方向セルアレイ選択信号線ARRSELX_mはHIGH、読み出しセルアレイに係るY方向セルアレイ選択信号線ARRSELY_nはHIGHとなるので、読み出しワード線及び読み出しビット線は第3の電位の電源から切り離され、読み出しワード線は読み出し電圧源回路158と接続され、読み出しビット線はセンスアンプ105と接続される。この時、図6に示すように、読み出しセルアレイに接続されているグローバルワード線GWLの電位は、例えば、1.25V（第3の電位）から1.45Vに変化し、読み出しワード線WLの電位は、例えば、1.25V（第3の電位）から1.40Vに変化し、読み出しビット線BLの電位は、例えば、1.25V（第3の電位）から1.10Vに変化し、読み出しセルアレイに接続されているグローバルビット線GBLの電位は、例えば、1.25V（第3の電位）から1.05Vに変化する。なお、1.45Vと1.4Vの差は、配線抵抗による電圧降下によるものである。同様に、1.10Vと1.05Vの差も、配線抵抗によるものである。

【0073】また、読み出し時には、非選択セルアレイに係るX方向終端活性化信号線TERMACTX_mはHIGH、非選択セルアレイに係るY方向終端活性化信号線TERMACTY_nはHIGH、非読み出しワード線に係るワード選択信号線XSW_iはLOW、非読み出しビット線に係るビット選択信号線YSW_jはLOW、非選択セルアレイに係るX方向セルアレイ選択信号線ARRSELX_mはLOW、非選択セルアレイに係るY方向セルアレイ選択信号線ARRSELY_nはLOWとなるので、全ての非選択セルアレイの全てのワード線及びビット線は第3の電位の電源と接続され、電圧源回路158及びセンスアンプ105からは切り離される。

【0074】なお、読み出し時には、参照セルアレイに係るX方向終端活性化信号線TERMACTX_mはLOW、参照セルアレイに係るY方向終端活性化信号線TERMACTY_nはLOW、参照ワード線に係るワード選択信号線XSW_iはHIGH、参照ビット線に係るビット選択信号線YSW_jはHIGH、参照セルアレイに係るX方向セルアレイ選択信号線ARRSELX_mはHIGH、参照セルアレイに係るY方向セルアレイ選択信号線ARRSELY_nはHIGHとなるので、参照ワード線及び参照ビット線は第3の電位の電源から切り離され、参照ワード線は読み出し電圧源回路158と接続され、参照ビット線はセンスアンプ105の減算回路114の引き算側入力と接続される。この時、参照セルアレイ

16

イに接続されているグローバルワード線GWLの電位は、例えば、1.25V（第3の電位）から1.45Vに変化し、参照ワード線WLの電位は、例えば、1.25V（第3の電位）から1.40Vに変化し、参照ビット線BLの電位は、例えば、1.25V（第3の電位）から1.10Vに変化し、参照セルアレイに接続されているグローバルビット線GBLの電位は、例えば、1.25V（第3の電位）から1.05Vに変化する。

【0075】読み出し時にセンスアンプの入力を流れる電流は読み出しセルを流れる電流のみならず読み出されないセルを流れる電流も含んでいるため、S/N比を確保するためにも、総電流を増やさないためにも、セルアレイを大きくすることができない。したがって、セルアレイを複数のセルアレイに分割して、ワード線、ビット線を階層化することは、S/N比改善及び消費電流削減の効果がある。

【0076】階層化による面積オーバーヘッドは、セレクト回路及び終端回路に生じるので、セレクト回路及び終端回路を単純なものにする必要がある。本方式の場合は、ワード線及びビット線に2種類の電圧を与えるわけではないので、セレクト回路も終端回路も1線当たり1個のトランジスタで構成される。従って、本実施形態では、階層化による面積オーバーヘッドの増加を最小限に抑えることができる。

【0077】参考として従来例2のセレクト回路を図7に示す。図7のセレクト回路では、選択ワード線及び選択ビット線のみならず非選択ワード線及び非選択ビット線にも一定の電圧を与えなければならないため、セレクトが2つのトランジスタで構成されている。

【0078】また、Xデコーダから出力される信号XSWは同一行のセルアレイで共有される。非選択アレイにおいて、XSWが選択状態「ハイレベル」となり、Xセレクトの一つのスイッチが「ON」状態になったとしても、セルアレイ内の節点は全て終端回路によってプリチャージ電位に駆動されたままなので、ワード線やビット線のレベルが変動したり、Xセレクトに電流が流れることはない。

【0079】選択ワード線と選択ビット線に端子が接続された2端子回路とみなしたときのセルアレイの等価回路を図8(a)に示す。この等価回路においては、セルアレイ内に流れる電流に着目してメモリセルを抵抗とみなし、ワード線及びビット線の配線抵抗を無視している。

【0080】非選択セルは、選択ワード線につながっている非選択セルのグループ(NS1)、選択ビット線につながっているセルのグループ(NS2)及び選択ワード線にも選択ビット線にもつながっていないセルのグループ(NS3)に分類することができる。

【0081】セルに1が書き込まれているときのセルの抵抗値をR、セルに0が書き込まれているときのセルの

17

抵抗値を $R + \alpha$ 、セルアレイ当たりのワード線の数
を m 、セルアレイ当たりのビット線の数 n とすると、選
択セルの抵抗値 R_s 、グループNS 1の抵抗値 R_1 、グル

$$\begin{aligned} R_s &= R \text{ 又は } R + \alpha \\ R_1 &= R / (n - 1) && \text{(最小値)} \\ &= (R + \alpha / 2) / (n - 1) && \text{(平均値)} \\ &= (R + \alpha) / (n - 1) && \text{(最大値)} \\ R_2 &= R / (m - 1) && \text{(最小値)} \\ &= (R + \alpha / 2) / (m - 1) && \text{(平均値)} \\ &= (R + \alpha) / (m - 1) && \text{(最大値)} \\ R_3 &= R / (m \times n - m - n + 1) && \text{(最小値)} \\ &= (R + \alpha / 2) / (m \times n - m - n + 1) && \text{(平均値)} \\ &= (R + \alpha) / (m \times n - m - n + 1) && \text{(最大値)} \end{aligned}$$

上記のように非選択セルを分類すると非選択ビット線の
電位は、この等価回路のNode 1の電位からNode
2の電位の間に分布している。ただし、グループNS 3
の抵抗値 R_3 はグループNS 1、NS 2の抵抗値 R_1 、 R_2
と比べて低いので、Node 1とNode 2との間の
電位差は小さい。

【0083】セルアレイ当たりのワード線の数 m 、セル
アレイ当たりのビット線の数 n が充分大きいと、図
8 (a) に示す等価回路は、図8 (b) のように近似で※

$$\begin{aligned} R_s &= R \text{ 又は } R + \alpha \\ R_4 &= R / n && \text{(最小値)} \\ &= (R + \alpha / 2) / n && \text{(平均値)} \\ &= (R + \alpha) / n && \text{(最大値)} \\ R_5 &= R / m && \text{(最小値)} \\ &= (R + \alpha / 2) / m && \text{(平均値)} \\ &= (R + \alpha) / m && \text{(最大値)} \end{aligned}$$

このとき、共通ノードNode 3の電位 V_3 は、
 $V_3 = (nV_1 + mV_2) / (m + n)$
と表わすことができる。従って、全ての非選択ワード線
及び全ての非選択ビット線の電位は、この等価回路のN
ode 3の電位 V_3 となる。この電位は、 $n = m$ の場合
には、 V_1 と V_2 の平均電位である。

【0085】読み出し時に、読み出しセルアレイの読み
出しワード線に電位 V_1 が与えられ、読み出しセルア
レイの読み出しビット線に電位 V_2 が与えられたときに、
読み出しセルアレイの全ての非選択ワード線及び全ての
非選択ビット線の電位は、充分な時間の経過後にはこの
等価回路のNode 3の電位 V_3 となるが、抵抗 R_4 に
並列に接続される寄生容量及び抵抗 R_5 に並列される寄
生容量があるため、瞬時にはこの等価回路のNode 3
の電位 V_3 にはならない。同様に、読み出し時に、参照
セルアレイの参照ワード線に電位 V_1 が与えられ、参照
セルアレイの参照ビット線に電位 V_2 が与えられたとき
に、参照セルアレイの全ての非選択ワード線及び全ての
非選択ビット線の電位は、充分な時間の経過後にはこの
等価回路のNode 3の電位 V_3 となるが、抵抗 R_4 に
並列に接続される寄生容量及び抵抗 R_5 に並列される寄

18

*一ブNS 2の抵抗値 R_2 、グループNS 3の抵抗値 R_3
は、以下のようになる。
【0082】

※き、Node 1とNode 2の間の電位差は無視でき、
Node 1とNode 2とは共通ノードNode 3とな
る。このとき、セルに1が書き込まれているときのセル
の抵抗値を R 、セルに0が書き込まれているときのセル
の抵抗値を $R + \alpha$ 、セルアレイ当たりのワード線の数
を m 、セルアレイ当たりのビット線の数 n とすると、選
択セルの抵抗値 R_s 、グループNS 1の抵抗値 R_4 、グル
ープNS 2の抵抗値 R_5 は、以下のようになる。
【0084】

30 生容量があるため、瞬時にはこの等価回路のNode 3
の電位 V_3 にはならない。

【0086】従って、読み出しセルアレイ及び参照セル
アレイ以外の全てのセルアレイの全てのビット線及びワ
ード線の電位を予め電位 V_3 にしておくことにより、読
み出しセルアレイのNode 3の電位及び参照セルア
レイのNode 3の電位を瞬時に電位 V_3 にすることがで
きる。この電位 V_3 が上記の第3の電位である。

【0087】また、読み出しセルアレイ及び参照セルア
レイ以外の全てのセルアレイの全てのビット線及びワ
ード線の電位を予め電位 V_3 にしておくことにより、余分
な電流で消費電流を無駄にしたり、余分な電流で誤書込
みが起こる確率も下げられた。

【0088】また、電位 V_3 は書込み終端電位でもある
ため、読み出しモードから書込みモードに移る時にも余
分な電流が流れることがなくなる。

【0089】図6のタイミングチャートに示す電位は、
セルアレイ当たりのワード線の数 m =セルアレイ当たり
のビット線の数 n とした場合のものであり、電位 V_3 =
1. 25 Vは、選択ワード線の電位 V_1 =1. 40 Vと
選択ビット線の電位1. 10 Vの平均の電位である。

19

【0090】書き込み時の動作を図9に示すタイミング図を参照して説明する。

【0091】書き込み時には、書き込みセルアレイに係るX方向終端活性化信号線TERMACTX_mはHIGH、書き込みセルアレイに係るY方向終端活性化信号線TERMACTY_nはHIGH、書き込みワード線に係るワード選択信号線XSW_iはHIGH、書き込みビット線に係るビット選択信号線YSW_jはHIGH、書き込みセルアレイに係るX方向セルアレイ選択信号線ARRSELX_mはHIGH、書き込みセルアレイに係るY方向セルアレイ選択信号線ARRSELY_nはHIGHとなるので、書き込みワード線は、第3の電位の電源及び双方向書き込み電流源回路157と接続され、書き込みビット線は、第3の電位の電源及び双方向書き込み電流源回路1609と接続される。従って、書き込みワード線及び書き込みビット線の電位は第3の電位となり、書き込みワード線には書き込むデータの値に応じた向きの電流が流れ、書き込みビット線には書き込むデータの値に応じた電流の向きが流れる。

【0092】また、書き込み時には、非選択セルアレイに係るX方向終端活性化信号線TERMACTX_mはHIGH、非選択セルアレイに係るY方向終端活性化信号線TERMACTY_nはHIGH、非書き込みワード線に係るワード選択信号線XSW_iはLOW、非書き込みビット線に係るビット選択信号線YSW_jはLOW、非選択セルアレイに係るX方向セルアレイ選択信号線ARRSELX_mはLOW、非選択セルアレイに係るY方向セルアレイ選択信号線ARRSELY_nはLOWとなるので、全ての非選択セルアレイの全てのワード線及びビット線並びに書き込みセルアレイの非書き込みワード線及び非書き込みビット線は第3の電位の電源と接続され、電圧源回路158及びセンスアンプ105からは切り離される。

【0093】書き込み時には、書き込みセルアレイのX終端回路及びY終端回路に大きな電流が流れるが、非選択セルアレイのX終端回路及びY終端回路が非選択セルアレイのワード線及びビット線と接続されているので、非選択セルアレイのワード線及びビット線の寄生容量が安定化容量として働き、大きな電源電位変動が生じることはない。逆に言うと、終端電源回路の安定化容量が不要になったと言える。

【0094】また、一般に、書き込みビット線に流す電流の向きを書き込む値に応じて切り替える限り、書き込みワード線に流す電流の向きは任意である。本実施形態では、「1」を書き込む時に書き込みワード線に流す電流の向きを「0」を書き込む時に書き込みワード線に流す電流の向きの反対の向きとしている。図10にその原理を示した図を示す。図10(a)に示すように、

「1」を書き込むときには、書き込みビット線からY終端回路155に流入する電流は、Y終端回路155とX

20

終端回路153を接続する配線を通してX終端回路153に流入し、X終端回路153から書き込みワード線に流入するので、終端電圧源回路163に書き込み電流が流れない。同様に、図10(b)に示すように、「0」を書き込むときには、書き込みワード線からX終端回路153に流入する電流は、X終端回路153とY終端回路155を接続する配線を通してY終端回路155に流入し、Y終端回路155から書き込みビット線に流入するので、終端電圧源回路163に書き込み電流が流れない。従って、本実施形態によれば、終端電圧源回路の規模を小さく出来た。さらに、規模が小さくなったことで消費電流も削減できた。

【0095】次に、図1に示す減算回路114と積分回路115の具体例を図11に示す。Varは読み出しセルアレイの読み出しワード線及び参照セルアレイの参照ワード線に接続される読み出し電圧源回路158の電圧である。トランジスタ191のゲート及びトランジスタ192のゲートの電位V_gは、読み出しセルアレイの読み出しビット線の電位及び参照セルアレイの参照ビット線の電位を保ちながら、積分回路116との間で差電流が流れるように、およそV₂+V_{th}(しきい値)の電位に設定されている。この回路では、読み出しセルアレイを流れる電流と同じ程度のオフセット電流を流すダミー抵抗を準備し、トランジスタ193と194で構成されるカレントミラーを使って、読み出しセルアレイを流れる電流からダミー抵抗を流れるオフセット電流を減算している。減算の結果の差電流は、減算回路114と積分回路116との間に流れる。V_{out}は、信号RSTSWがHIGHとなることによりリセット電位V_{rst}にリセットされており、減算回路114から積分回路116に電流が流れ込めば電位V_{out}が上昇し、積分回路116から減算回路114に電流が流れ込めば電位V_{out}が降下する。

【0096】ダミー抵抗は、ヒューズで抵抗値を変えられる可変抵抗で作成してもよいが、実際のセルアレイの特性は大きくばらつくため、歩留りを安定させるためには回路規模が大きくなってしまう。そこで、本実施形態では、ダミー抵抗として参照セルアレイを使用する。

【0097】図12は、オフセット電流を生成するための専用のセルアレイの構成の第1の例を示す。この第1の例では、「1」が書き込まれたセルと「0」が書き込まれたセルが市松模様状に並べられる。また、「1」が書き込まれたセルの数と「0」が書き込まれたセルの数は、ワード線の数又はビット線の数少なくとも一方が偶数であれば等しく、ワード線の数及びビット線の数奇数であれば1だけ異なる。

【0098】図13は、オフセット電流を生成するための専用のセルアレイの構成の第2の例を示す。この第2の例では、「1」が書き込まれたセルと「0」が書き込まれたセルがストライプ状に並べられる。また、「1」

21

が書き込まれたセルの数と「0」が書き込まれたセルの数は、ラインペアが整数個であれば等しく、ラインペアが整数個でなければストライプの方向のセルの数だけ異なる。

【0099】図12、13の例では、図8(a)に示す等価回路において、参照セルアレイについて、ほぼ、

$$R_s = R \text{ 又は } R + \alpha$$

$$R_1 = (R + \alpha / 2) / (n - 1)$$

$$R_2 = (R + \alpha / 2) / (m - 1)$$

$$R_3 = (R + \alpha / 2) / (m \times n - m - n + 1) \quad 10$$

とすることができる。

【0100】図14は、データの読み書きが行われるセルを含むセルアレイを拡張することにより、書き込みセルアレイ、読み出しセルアレイとなることがあると共に参照セルアレイともなるセルアレイの例を示す。図14において、枠201で囲まれる領域にあるセルに対してはデータの読み書きが行われる。枠201で囲まれる領域の他の領域にあるセルがダミーセルであり、ダミーセルに接続されるワード線がダミーワード線であり、ダミーセルに接続されるビット線がダミービット線である。20
ダミーワード線に接続されているダミーセルであって「1」が書き込まれているものの数とダミーワード線に接続されているダミーセルであって「0」が書き込まれているものの数は、ダミーワード線に接続されているダミーセルの数が偶数ならば等しく、ダミーワード線に接続されているダミーセルの数が奇数ならば1だけ異なる。同様に、ダミービット線に接続されているダミーセルであって「1」が書き込まれているものの数とダミービット線に接続されているダミーセルであって「0」が書き込まれているものの数は、ダミービット線に接続さ
30 れているダミーセルの数が偶数ならば等しく、ダミービット線に接続されているダミーセルの数が奇数ならば1だけ異なる。図14の例では、図8(a)に示す等価回路において、参照セルアレイについて、ほぼ、

$$R_s = R \text{ 又は } R + \alpha$$

$$R_1 = (R + \alpha / 2) / (n - 1)$$

$$R_2 = (R + \alpha / 2) / (m - 1)$$

とすることができる。一方、グループNS3のセルは、枠201で囲まれる領域にあるセルであるので、抵抗R
3は、 $R / (m \times n - m - n + 1)$ から $(R + \alpha) /$
40 $(m \times n - m - n + 1)$ の範囲で変動する。しかし、抵抗R3の値は、抵抗R1、R2の値に比べて、充分小さく、これはセルアレイが大きくなるほど顕著となる。一方、図14の例では、オフセット電流を生成するための専用のセルアレイをMRAM内に設ける必要がない。従って、抵抗R3の変動の許容度、MRAMの回路規模に

応じて、図14の例を使用する場合もある。

【0101】また、図14の例の第1の変形例として、図14のセルアレイからダミーワード線及びダミーワード線に接続されているダミーセルを削除した図15に示
50

22

すようなセルアレイがある。このようなセルアレイを使用してオフセット電流を得るためには、任意のワード線を第1の電位の電源に接続し、ダミービット線を減算回路に接続し、図15のセルアレイのワード線であって第1の電位の電源に接続されたワード線以外のものをフローティング状態とし、図15のセルアレイのビット線であってダミービット線以外のものをフローティング状態とする。この場合、グループNS1についての抵抗R1は、 $R / (n - 1)$ から $(R + \alpha) / (n - 1)$ の間で変動するが、グループNS2についての抵抗R2は変動しない。

【0102】また、図14の例の第2の変形例として、図14のセルアレイからダミービット線及びダミービット線に接続されているダミーセルを削除した図16に示すようなセルアレイがある。このようなセルアレイを使用してオフセット電流を得るためには、ダミーワード線を第1の電位の電源に接続し、任意のビット線を減算回路に接続し、図16のセルアレイのワード線であってダミーワード線以外のワード線をフローティング状態とし、図16のセルアレイのビット線であって減算回路に接続されたビット線以外のものをフローティング状態とする。この場合、グループNS2についての抵抗R2は、 $R / (m - 1)$ から $(R + \alpha) / (m - 1)$ の間で変動するが、グループNS1についての抵抗R1は変動しない。

【0103】図12、13、14、15、16の例では、本来オフセット電流としたい抵抗R1、R2及びR3を直列に流れる電流に加え、参照セルアレイの参照ワード線と参照ビット線の間をそれらの交点にあるセル（抵抗Rsに相当）を介して流れる電流までオフセット電流に含ませることとなるが、これはオフセット電流が変化しただけのことであり、減算回路114と積分回路116の間を流れる電流を大幅に削減するという本来の目的は達せられる。従って、参照セルアレイの参照ワード線と参照ビット線の間をそれらの交点にあるセルをあえて除去する必要はない。この場合、信号電流よりもオフセット電流のほうが大きい場合も生ずるが、積分回路116、A/D変換器118、比較器119、読み出しレジスタ120が両方向の電流115に対応していれば問題
はない。

【0104】図17は、読み出しセルアレイ151Bから信号電流及びオフセット電流よりなる電流を読み出し、参照セルアレイ151Cからオフセット電流を読み出す様子を示す。図17に示すように、参照セルアレイ151Bは読み出しセルアレイ151Cとは異なる。また、読み出しセルアレイ151Bと参照セルアレイ151Cとが、X方向、Y方向共に重ならないようにして、これらが同一のグローバルワードライン及びグローバルビットラインを使用しないようにする。

【0105】容易に図解できるように図3、17ではセ

ルアレイの端にX終端回路及びXセクタが配置されているが、本実施形態では、これらの回路は図18に示すようにセルアレイに重ねて配置されている。これは、図19の断面図から分かるようにトランジスタと個々のセル(TMR素子)は接続されていないためである。

【0106】

【発明の効果】以上説明したように、本発明によれば、読み出し電流にのるセルアレイ外部からのノイズが小さくなり、ダイオードを付けなくてもセンスが可能になった上、セクタ回路の構成を簡単にできる。

【0107】また、本発明によれば、センスアンプのダイナミックレンジを信号成分のダイナミックレンジに割くことができるので、ランダムノイズによる誤検出の確率を低減することができる。例えば、選択セルを流れる電流と非選択セルを流れる電流の和は $51\mu\text{A}$ 程度であり、非選択セルを流れる電流は $50\mu\text{A}$ 程度であるので、オフセット電流を差し引くことにより、 34dB の信号対ランダムノイズ比の改善の効果が生ずる。また、積分回路で積分する電流を減らすことができるので、積分回路の面積を削減することもできる。

【0108】更に、本発明によれば、センスアンプが複数のセルアレイで共有化されるため、センスアンプの数を減らしてチップサイズが小さくできる。また、選択セル以外のセルを流れる電流を減少できるので消費電力を低減できる。更に、セルアレイの数に冗長度を与えれば、MRAMの歩留まりを向上できる。更に、配線抵抗を削減できるので電流のばらつきを低減できる。

【0109】更に、本発明によれば、オフセット電流を第1のセルアレイと同一のプロセスで製造される第2のセルアレイで生成するので、プロセス間の誤差による第1の非選択セルを流れる電流のばらつきに応じてこれをキャンセルするためのオフセット電流の値を変化させることが可能となる。

【0110】第2のセルアレイを有効データが書き込まれているセルを有するセルアレイとすると、第2のセルアレイで生成するオフセット電流がデータの値によって変動してしまう。これに対し、本発明によれば、セルに書き込まれているデータの値が変動しない専用のセルアレイでオフセット電流を生成するので、オフセット電流が変動せず、オフセット電流を差し引いた後の信号電流の精度が高くなる。

【0111】更に、本発明によれば、オフセット電流の値が非選択セルを流れる平均的な電流となるので、オフセット電流を差し引いた後の信号電流の中心値の精度が高くなる。

【0112】更に、本発明によれば、専用のセルアレイをMRAMを有する必要が無くなるので、MRAMの回路規模を削減することができる。

【0113】第2のセルアレイで生成するオフセット電流として第2のセルアレイの任意のワード線と任意のビ

ット線を選択したときにそのビット線を流れる電流を利用すると、第2のセルアレイに書き込まれているデータの値によってオフセット電流の値が変動してしまう。これに対し、本発明によれば、第2のセルアレイで生成するオフセット電流としてダミーワード線及びダミービット線が選択されたときにダミービット線を流れる電流を使用するので、第2のセルアレイに書き込まれているデータの値によるオフセット電流の値の変動を大幅に低減することができる。

【0114】更に、本発明によれば、オフセット電流の値が非選択セルを流れる平均的な電流となるので、オフセット電流を差し引いた後の信号電流の中心値の精度が高くなる。

【0115】第2のセルアレイで生成するオフセット電流として第2のセルアレイの任意のワード線と任意のビット線を選択したときにそのビット線を流れる電流を利用すると、第2のセルアレイに書き込まれているデータの値によってオフセット電流の値が変動してしまう。これに対し、本発明によれば、第2のセルアレイで生成するオフセット電流としてダミーワード線及び第2のセルアレイの任意のビット線が選択されたときにそのビット線を流れる電流を使用するので、第2のセルアレイに書き込まれているデータの値によるオフセット電流の値の変動を大幅に低減することができる。

【0116】本発明によれば、オフセット電流の値が非選択セルを流れる平均的な電流となるので、オフセット電流を差し引いた後の信号電流の中心値の精度が高くなる。

【0117】第2のセルアレイで生成するオフセット電流として第2のセルアレイの任意のワード線と任意のビット線を選択したときにそのビット線を流れる電流を利用すると、第2のセルアレイに書き込まれているデータの値によってオフセット電流の値が変動してしまう。これに対し、本発明によれば、第2のセルアレイで生成するオフセット電流として第2のセルアレイの任意のワード線及びダミービット線が選択されたときにダミービット線を流れる電流を使用するので、第2のセルアレイに書き込まれているデータの値によるオフセット電流の値の変動を大幅に低減することができる。

【0118】更に、本発明によれば、オフセット電流の値が非選択セルを流れる平均的な電流となるので、オフセット電流を差し引いた後の信号電流の中心値の精度が高くなる。

【0119】更に、本発明によれば、ランダムノイズを平均化できるので、 S/N 比が上がり、微小な信号をセンスすることが可能となる。

【0120】更に、本発明によれば、自己レファレンス読み出し方法が行われるので、読み出しエラーの発生の確率を大幅に低減することができる。

【0121】更に、本発明によれば、ワード線及びビ

25

ト線が、中間電位になるようにプリチャージされているので、センスアンプ回路のセンス開始時間を早めることができる。また、余分な電流により、消費電流を無駄にしたり、誤書き込みが起こる確率も下げられる。

【0122】更に、本発明によれば、ワード線及びビット線が、書き込み時にも中間電位になるようにプリチャージされているので、書き込み動作から読み出し動作に移るときに余分な電流を消費する必要がなくなる上に、終端電源の安定化容量が不要になった。

【0123】更に、本発明によれば、1を書き込むとき10
に書き込みの対象となるトンネル磁気抵抗素子に接続されるワード線を流れる電流の向きが、0を書き込むときに書き込みの対象となるトンネル磁気抵抗素子に接続される前記ワード線を流れる電流の向きの反対の向きであり、1を書き込むときに書き込みの対象となるトンネル磁気抵抗素子に接続されるビット線を流れる電流の向きが、0を書き込むときに前記書き込みの対象となるトンネル磁気抵抗素子に接続されるビット線を流れる電流の向きの反対の向きであるので、1又は0を書き込むとき20
に選択ワード線から流出した電流は選択ビット線に流入し、0又は1を書き込むときに選択ビット線から流出した電流は選択ワード線に流入し、電源を流れる電流を大幅に削減できる。従って、電源の負担が軽減される。

【0124】更に、本発明によれば、ワード線又はビット線のセレクト及び終端回路を前記トンネル磁気抵抗素子と重ねて配置したので、MRAMの面積を削減することができる。

【0125】更に、本発明によれば、センスアンプを複数のセルアレイで共有するので、センスアンプの数を削減することができる。

【0126】更に、本発明によれば、第1の電位の電圧源とセンスアンプが相互に隣接して配置されるので、検出電流に乗る電源ノイズを削減することができ、検出精度を上げることができる。

【図面の簡単な説明】

【図1】本発明の実施形態によるMRAMの要部を示す概念図である。

【図2】自己リファレンス読み出し方式のアルゴリズムを示すフローチャートである。

【図3】本発明の実施形態によるMRAMの全体を示す30
概念図である。

【図4】本発明の実施形態によるMRAMのビット線及びその周辺部の回路図を示す。

【図5】本発明の実施形態によるMRAMのワード線及びその周辺部の回路図を示す。

【図6】本発明の実施形態によるMRAMの読み出し時の動作を示すタイミング図である。

【図7】従来例2のセレクト回路を示す回路図である。

【図8】本発明の実施形態による、選択ワード線と選択ビット線に端子が接続された2端子回路とみなしたとき50

26

のセルアレイの等価回路電流に注目した場合のセルアレイの等価回路である。

【図9】本発明の実施形態によるMRAMの書き込み時の動作を示すタイミング図である。

【図10】本発明の実施形態によるMRAMの書き込み時のワード線電流及びビット線電流が流れる向きを示した図である。

【図11】本発明の実施形態によるセンスアンプ中の減算回路及び積分回路の構成例を示す回路図である。

【図12】本発明の実施形態によるオフセット電流を生成するための専用のセルアレイの構成の第1の例を示す回路図である。

【図13】本発明の実施形態によるオフセット電流を生成するための専用のセルアレイの構成の第2の例を示す回路図である。

【図14】本発明の実施形態によるオフセット電流を生成するための機能も備えた有効データ領域を有するセルアレイの第1の構成例を示す回路図である。

【図15】本発明の実施形態によるオフセット電流を生成するための機能も備えた有効データ領域を有するセルアレイの第2の構成例を示す回路図である。

【図16】本発明の実施形態によるオフセット電流を生成するための機能も備えた有効データ領域を有するセルアレイの第3の構成例を示す回路図である。

【図17】本発明の実施形態によるMRAMにおいて、読み出しセルアレイから信号電流及びオフセット電流よりなる電流を読み出し、参照セルアレイからオフセット電流を読み出す様子を示す図である。

【図18】本発明の実施形態によるMRAMの物理的構成を示す平面図である。

【図19】本発明の実施形態によるMRAMの物理的構成を示す断面図である。

【図20】TMR素子の原理を説明するための断面図である。

【図21】TMR素子を利用したMRAMの動作原理を説明するための図である。

【図22】TMR素子のアステロイド特性及びTMR素子にかかる磁場ベクトルを示す図である。

【図23】従来例1によるMRAMの構成を示す概念図である。

【図24】従来例2によるMRAMの構成を示す概念図である。

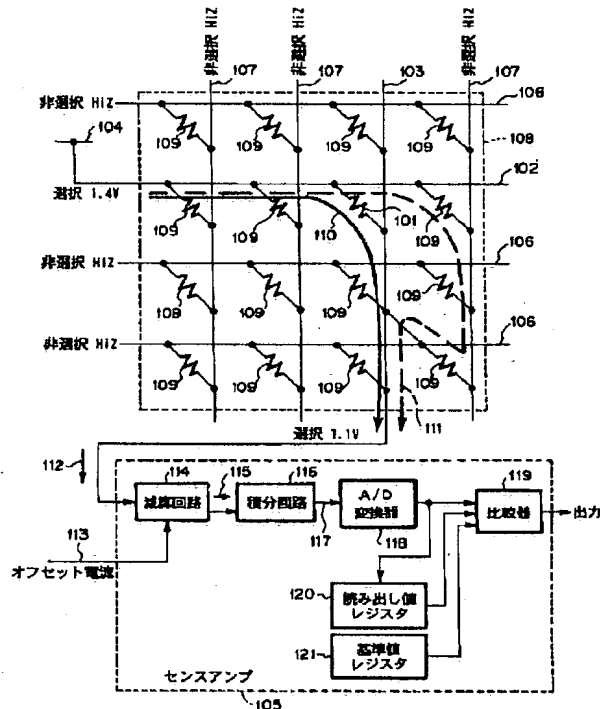
【符号の説明】

- 101 選択セル
- 102 選択ワード線
- 103 選択ビット線
- 104 電源
- 105 センスアンプ
- 106 非選択ワード線
- 107 非選択ビット線

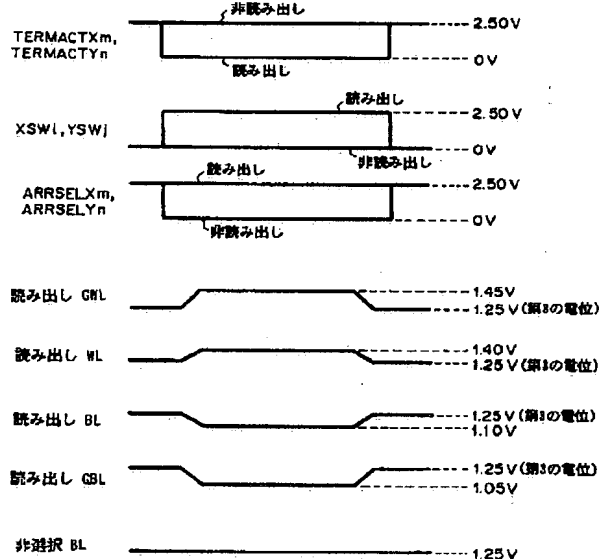
27

- 108 セルアレイ
- 109 非選択セル
- 110 選択セルを流れる電流
- 111 非選択セルを流れる電流
- 112 センスアンプに流入する電流
- 113 オフセット電流
- 114 減算回路

【図1】



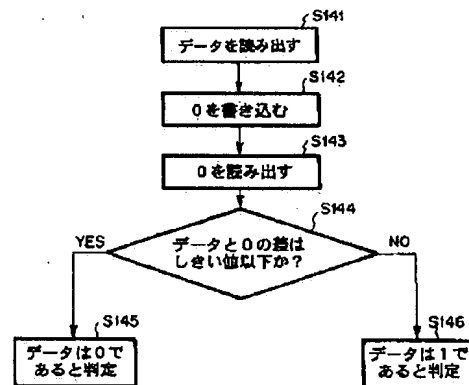
【図6】



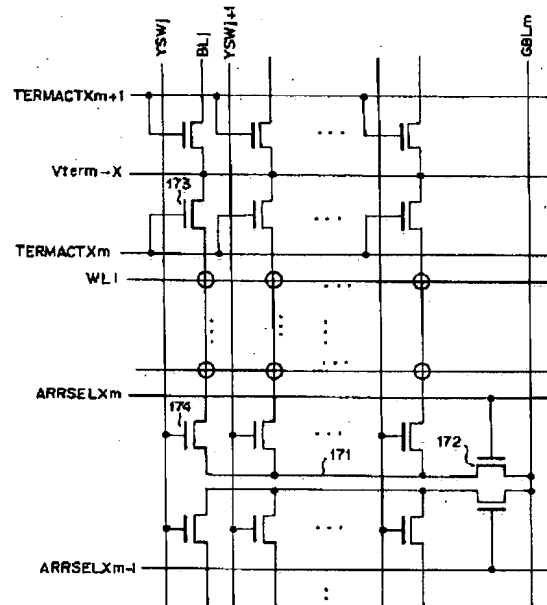
28

- * 115 減算後の電流
- 116 積分回路
- 117 積分後の信号
- 118 A/D変換器
- 119 比較器
- 120 読み出し値レジスタ
- * 121 基準値レジスタ

【図2】

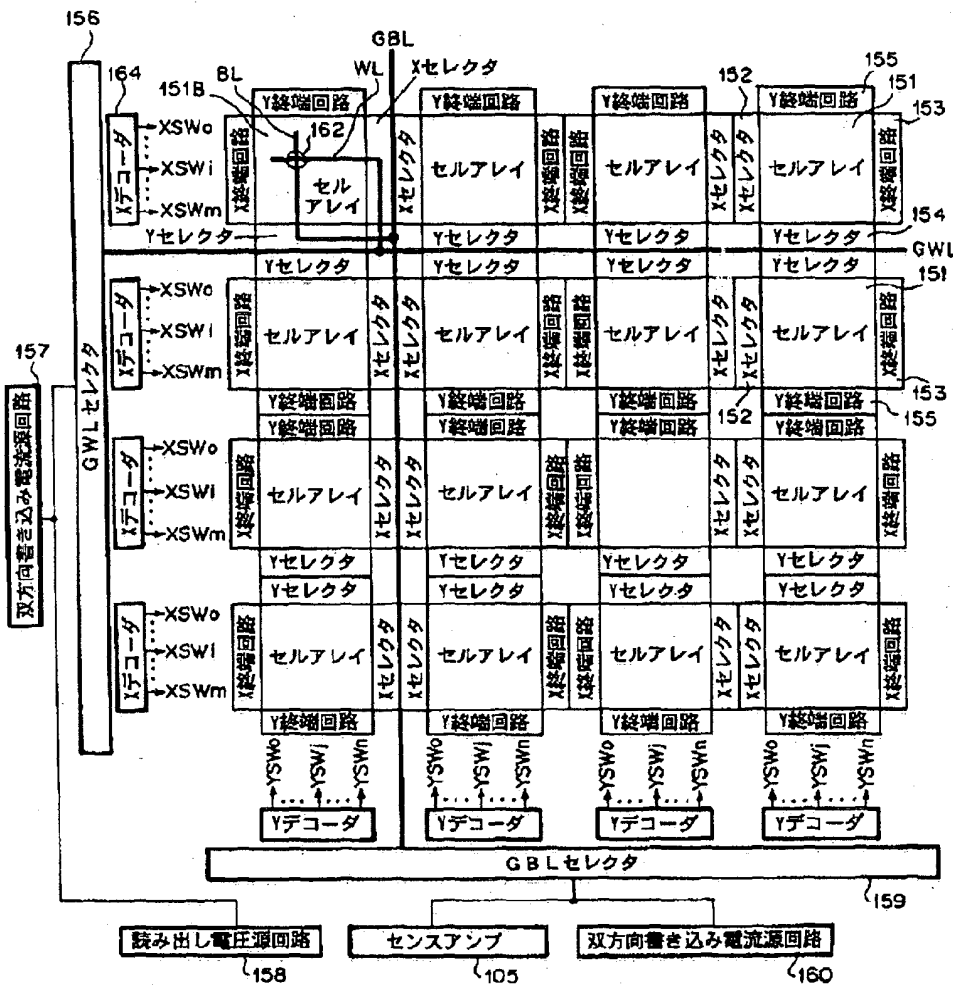


【図4】



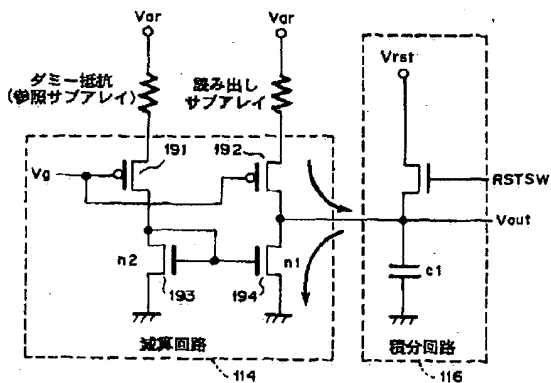
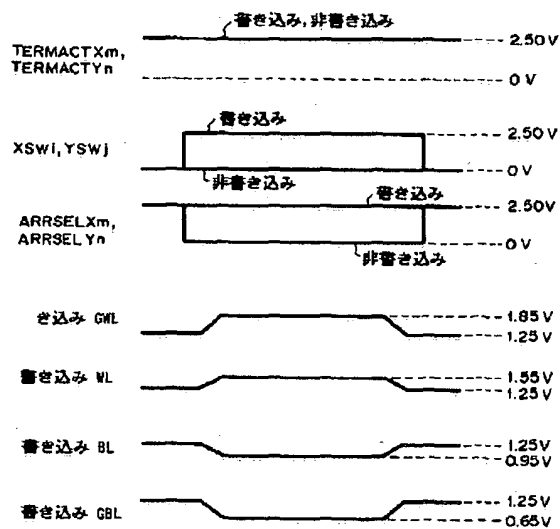
ARSELXm: X方向セルアレイ選択信号線
 TERMACTxm: X方向終端活性化信号線
 Vterm-X: 終端電圧線
 YSWj: ビット選択信号線
 GBLn: グローバルビット線
 WLl: ワード線
 BLl: ビット線

【図3】

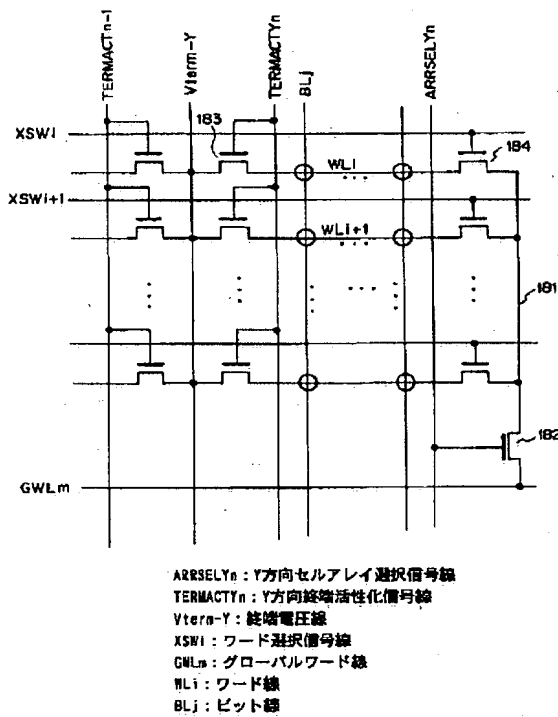


【図9】

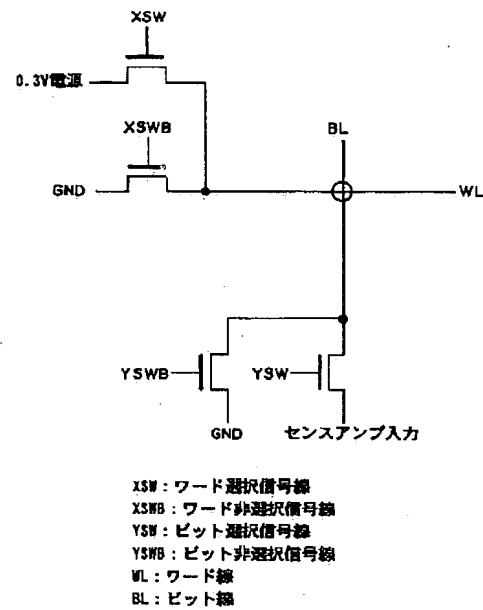
【図11】



【図5】

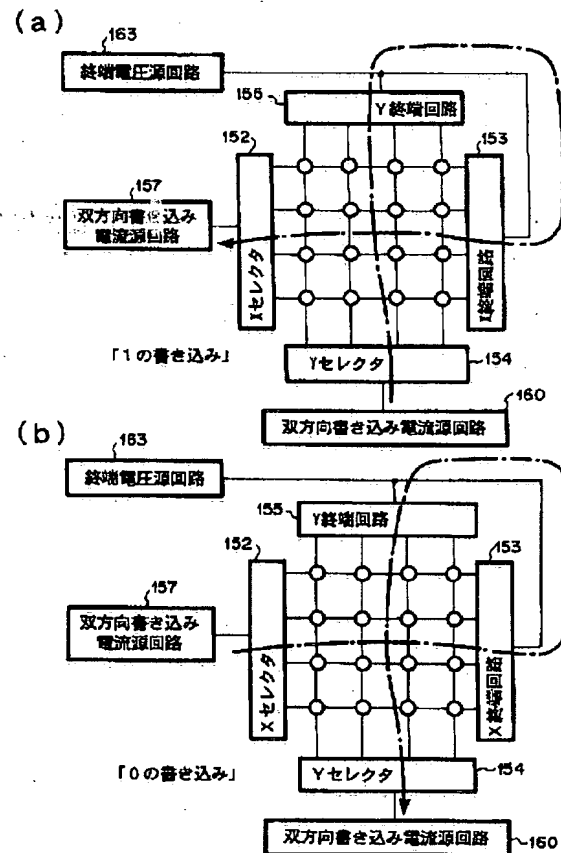
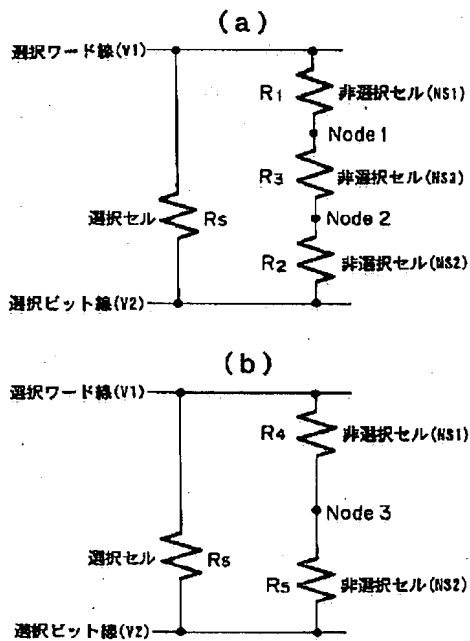


【図7】

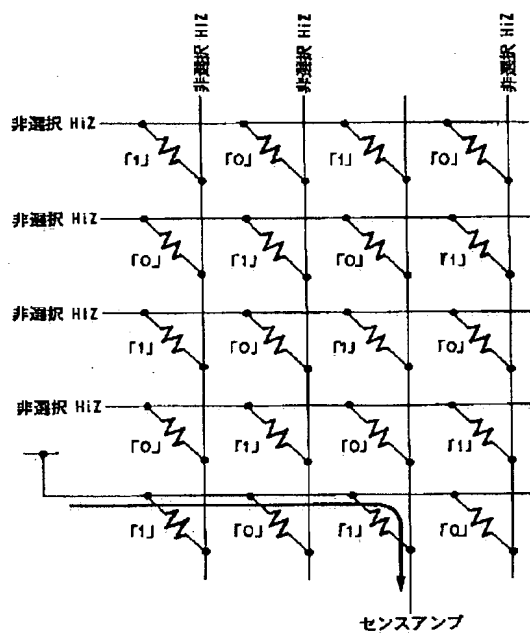


【図10】

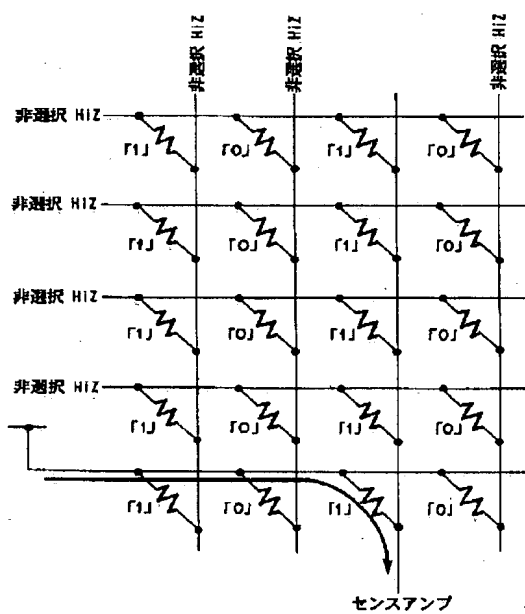
【図8】



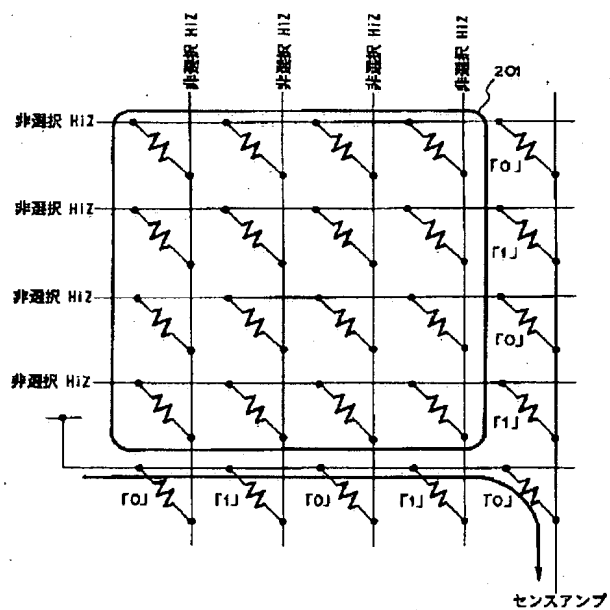
【図12】



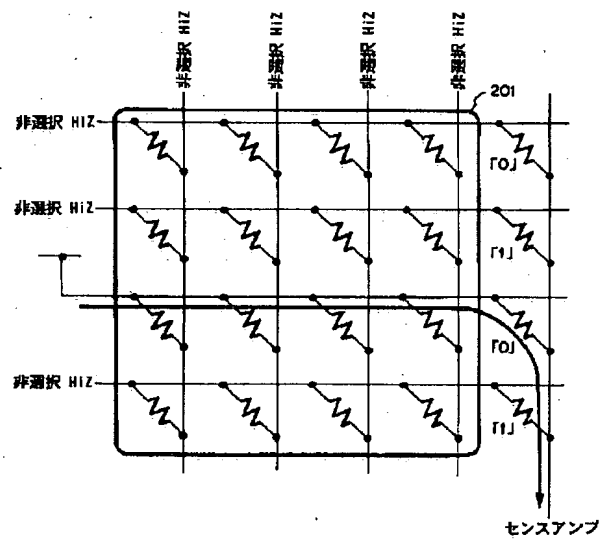
【図13】



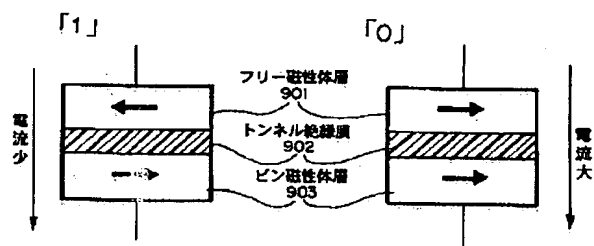
【図14】



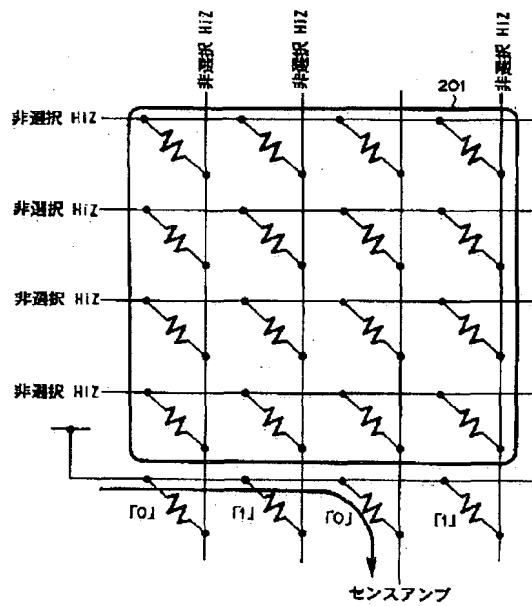
【図15】



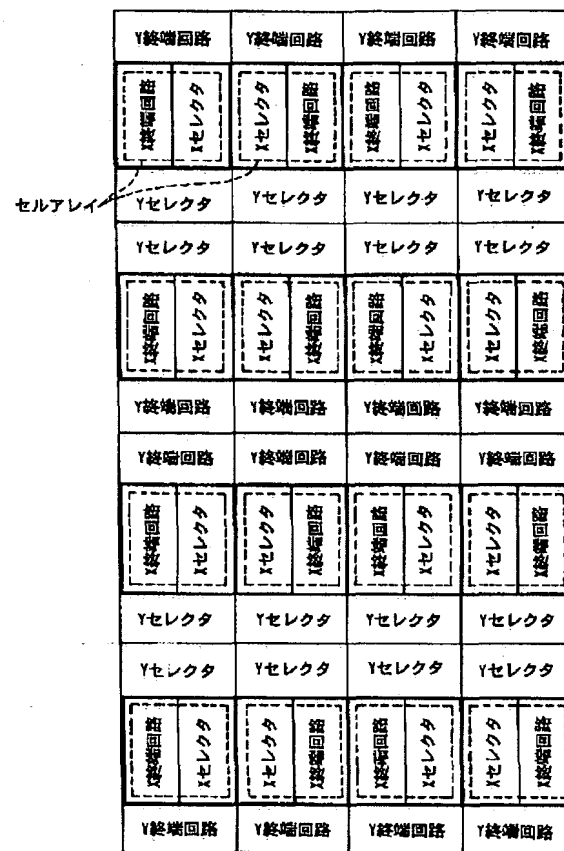
【図20】



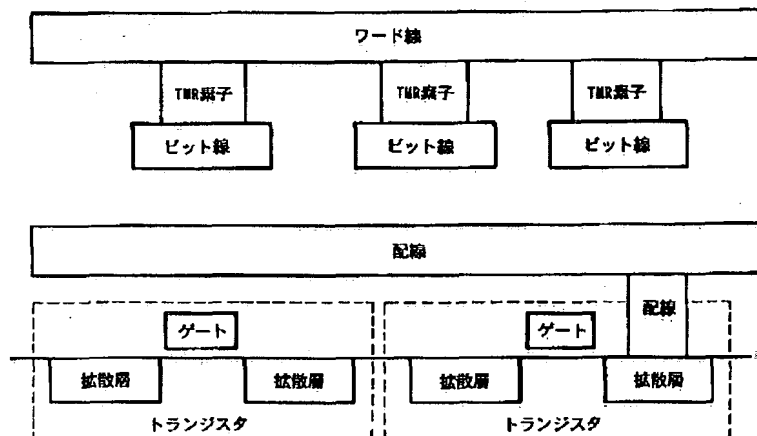
【図16】



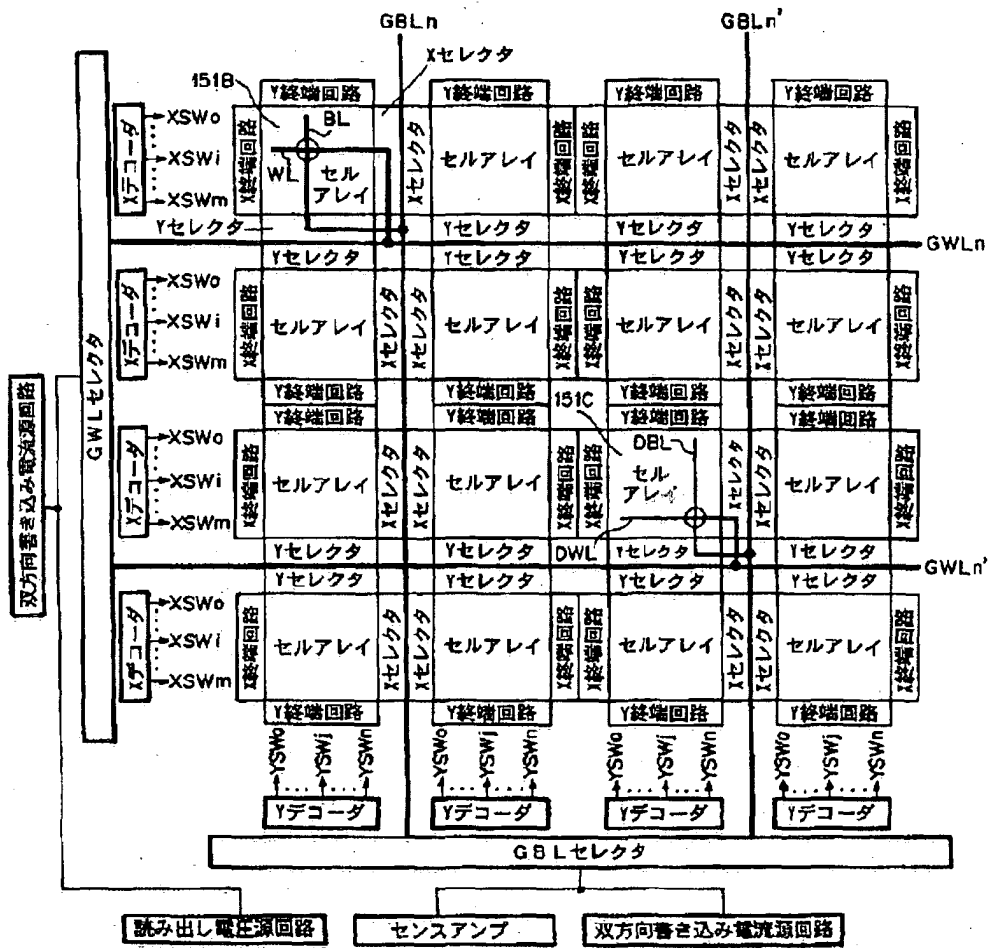
【図18】



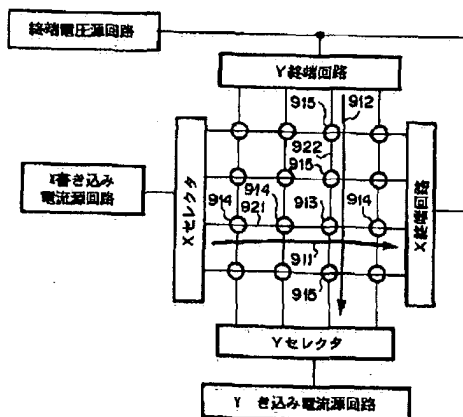
【図19】



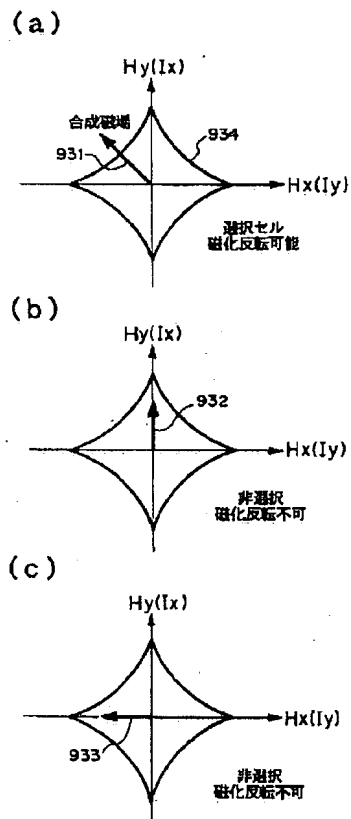
【図17】



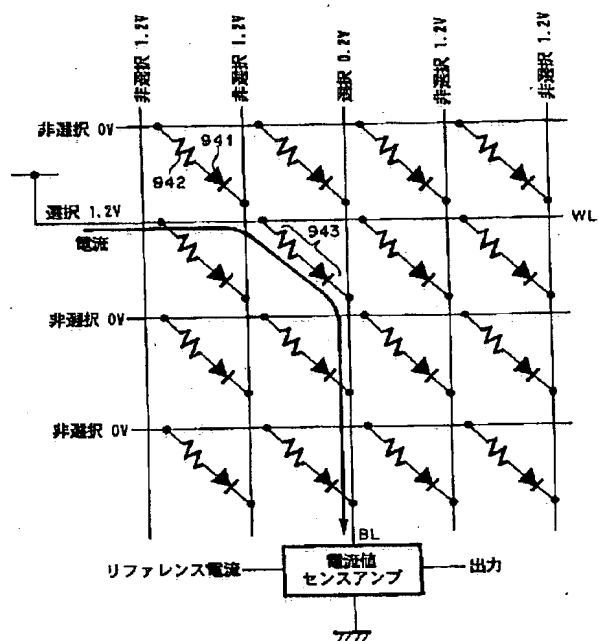
【図21】



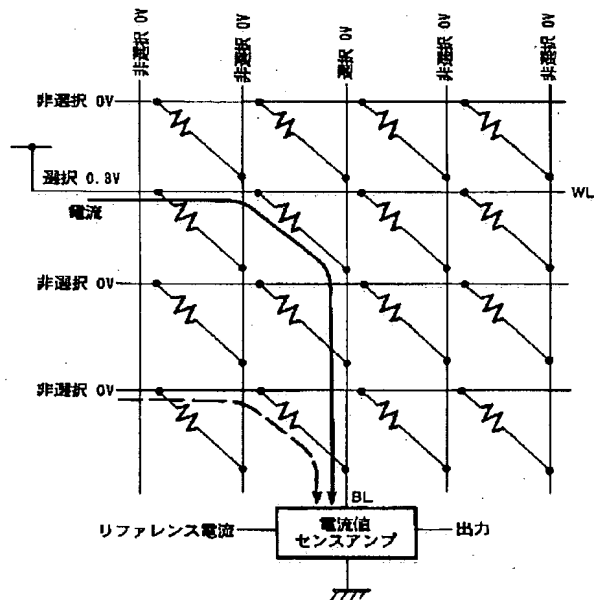
【図22】



【図23】



【図24】



フロントページの続き

(72) 発明者 本田 雄士

東京都港区芝五丁目 7 番 1 号 日本電気株
式会社内

F ターム (参考) 5F083 FZ10 GA09 JA60 KA03 KA06
LA02 LA03 LA28